

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Attorney Docket No.: 40296-0057

Applicant: Hee Bok KANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: Concurrently Herewith

Art Unit: Unassigned

Title: NONVOLATILE FERROELECTRIC MEMORY DEVICE

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2003-0017105 filed March 19, 2003**

Respectfully submitted,

Date: 12/15/03

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

By Johnny A. Kumar

Johnny A. Kumar  
Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



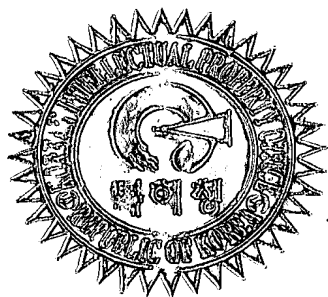
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0017105  
Application Number

출원 년 월 일 : 2003년 03월 19일  
Date of Application MAR 19, 2003

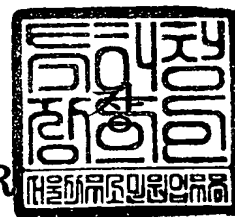
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.03.19
【국제특허분류】	H01L
【발명의 명칭】	강유전체 메모리 셀 및 이를 이용한 메모리 장치
【발명의 영문명칭】	Ferroelectric memory cell and memory device using the same
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG,Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 27 면 27,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 34 항 1,197,000 원

【합계】 1,253,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 강유전체 메모리 셀 및 이를 이용한 메모리 장치에 관한 것으로, 비휘발성 데이터를 강유전체 캐패시터에 저장하고 리드 액세스시 강유전체 캐패시터와 관계없이 셀 내부의 래치 회로에 저장된 셀 데이터를 액세스하는 기술을 개시한다. 이러한 본 발명은, 강유전체의 파괴적인 동작에 의한 반복 쓰기 횟수의 한계를 극복하고, 래치 회로에 저장된 데이터를 바로 액세스하여 빠른 액세스가 가능하도록 함으로써, 고신뢰성과 고속의 비휘발성 FeRAM 셀을 구현한다.

**【대표도】**

도 2

## 【명세서】

### 【발명의 명칭】

강유전체 메모리 셀 및 이를 이용한 메모리 장치{Ferroelectric memory cell and memory device using the same}

### 【도면의 간단한 설명】

도 1 내지 도 3은 본 발명에 따른 강유전체 메모리 셀의 실시예들.

도 4 및 도 5는 도 1의 강유전체 메모리 셀을 이용한 메모리 장치의 실시예들.

도 6 및 도 7은 도 2의 강유전체 메모리 셀을 이용한 메모리 장치의 실시예들.

도 8은 도 6 및 도 7의 센스앰프에 관한 상세 회로도.

도 9는 도 8의 센스앰프에 관한 동작 타이밍도.

도 10은 본 발명에 따른 강유전체 메모리 셀을 이용한 메모리 장치의 구성도.

도 11은 본 발명의 파워 업 모드시의 동작 타이밍도.

도 12는 본 발명의 라이트 모드시의 동작 타이밍도.

도 13은 본 발명의 리드 모드시의 동작 타이밍도.

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 강유전체 메모리 셀 및 이를 이용한 메모리 장치에 관한 것으로, 특히 비휘발성 강유전체 메모리의 리드 동작시 빠른 액세스가 가능하도록 하는 기술이다.

- <11> 일반적으로 불휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM;Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.
- <12> 이러한 FRAM은 디램과 거의 유사한 구조를 갖는 기억소자로써 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.
- <13> 상술된 FRAM에 관한 기술내용은 본 발명과 동일 발명자에 의해 출원된 대한민국 출원번호 제 1999-49972호에 개시된 바 있다. 따라서, FRAM에 관한 기본적인 구성 및 그 동작에 관한 자세한 설명은 생략하기로 한다.
- <14> 그런데, 이러한 종래의 불휘발성 강유전체 메모리는 데이터의 리드/라이트 동작시 및 파워업 모드시에, 비휘발성 데이터를 강유전체 캐패시터에 저장하고 강유전체 캐패시터에 저장된 데이터를 다시 파괴 및 복원하는 동작을 반복적으로 수행한다.
- <15> 따라서, 종래의 불휘발성 강유전체 메모리는, 반복적인 파괴 및 복원 동작으로 인하여 리드 동작시 데이터를 빠르게 액세스할 수 없게 되는 문제점이 있다. 또한, 강유전체 캐패시터의 파괴 동작으로 인한 반복적인 쓰기 횟수의 한계를 극복할 수 없게 되어, 고신뢰성과 고속의 비휘발성 강유전체 메모리를 구현하지 못하게 되는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <16> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로 다음과 같은 목적을 갖는다.

- <17> 첫째, 리드 동작 모드시 리드 비트라인을 프리차지시켜 리드 데이터의 데이터 패일을 방지하도록 하는데 그 목적이 있다.
- <18> 둘째, 리드 동작 모드시 센스앰프의 래치부에 저장된 셀 데이터를 액세스하여 빠른 동작이 가능하도록 하는데 그 목적이 있다.
- <19> 셋째, 파워 업 모드시 별도의 프로그램 명령에 따라 메모리 셀에 저장된 데이터를 복원함으로써 강유전체의 파괴동작으로 인한 반복적인 쓰기 횟수의 한계를 극복할 수 있도록 하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

- <20> 상기한 목적을 달성하기 위한 본 발명의 강유전체 메모리 셀은, 풀업 인에이블 신호의 인에이블시 전원전압을 풀업시키는 풀업 스위치와; 셀 양단 노드 사이에 크로스 커플드 구조로 연결되어 풀업 스위치로부터 인가되는 전원전압을 래치하는 제 1래치부와; 라이트 인에이블 신호의 인에이블시 한쌍의 라이트 비트라인을 통해 각각 인가되는 데이터를 셀 양단 노드에 선택적으로 출력하는 라이트 제어부와; 셀플레이트 신호의 인에이블시 셀 양단 노드에 전압차를 발생시켜 데이터를 저장하는 강유전체 캐패시터부와; 풀다운 인에이블 신호의 인에이블시 접지전압을 풀다운시키는 풀다운 스위치와; 셀 양단 노드 사이에 크로스 커플드 구조로 연결되어 풀다운 스위치로부터 인가되는 접지전압을 래치하는 제 2래치부; 및 리드 인에이블 신호의 인에이블시 강유전체 캐패시터부에 저장된 데이터를 한쌍의 리드 비트라인에 선택적으로 출력하는 리드 제어부를 구비함을 특징으로 한다.
- <21> 본 발명의 강유전체 메모리 셀을 이용한 메모리 장치는, 복수개의 비트라인쌍에 로오 및 컬럼 방향으로 연결되는 복수개의 단일 포트 메모리 셀; 및 복수개의 비트라인쌍과 연결되는



복수개의 센스앰프를 구비하고, 복수개의 단일 포트 메모리 셀 각각은, 라이트 인에이블 신호의 인에이블시 한쌍의 비트라인을 통해 인가되는 데이터를 강유전체 캐패시터에 저장하는 메모리 셀을 구비함을 특징으로 한다.

<22> 본 발명의 다른 실시예는, 복수개의 비트라인쌍에 로오 및 컬럼 방향으로 연결되는 복수개의 메모리 셀과; 풀업 인에이블 신호의 인에이블시 복수개의 메모리 셀에 전원전압을 공급하는 복수개의 풀업 스위치와; 풀다운 인에이블 신호의 인에이블시 복수개의 메모리 셀에 접지전압을 공급하는 복수개의 풀다운 스위치; 및 복수개의 비트라인쌍에 연결되는 복수개의 센스앰프를 구비하고, 복수개의 메모리 셀 각각은, 라이트 인에이블 신호의 인에이블시 한쌍의 비트라인을 통해 인가되는 데이터를 저장하기 위한 강유전체 캐패시터를 구비함을 특징으로 한다.

<23> 본 발명의 또 다른 실시예는, 복수개의 라이트 비트라인쌍 및 복수개의 리드 비트라인쌍에 각각 로오 및 컬럼 방향으로 구비되는 복수개의 2포트 메모리 셀과; 복수개의 리드 비트라인쌍과 연결되는 복수개의 센스앰프; 및 복수개의 라이트 비트라인쌍과 연결되는 복수개의 워드라인 구동부를 구비하고, 복수개의 2포트 메모리 셀 각각은, 라이트 인에이블 신호의 인에이블시 한쌍의 라이트 비트라인을 통해 인가되는 데이터를 강유전체 캐패시터에 저장하고, 리드 인에이블 신호의 인에이블시 센스앰프에 저장된 데이터를 출력하는 메모리 셀을 구비함을 특징으로 한다.

<24> 본 발명의 또 다른 실시예는, 복수개의 라이트 비트라인쌍과 복수개의 리드 비트라인쌍에 각각 로오 및 컬럼 방향으로 연결되는 복수개의 메모리 셀과; 풀업 인에이블 신호의 인에이블시 복수개의 메모리 셀에 전원전압을 공급하는 복수개의 풀업 스위치와; 풀다운 인에이블 신호의 인에이블시 복수개의 메모리 셀에 접지전압을 공급하는 복수개의 풀다운 스위치와; 복수

개의 리드 비트라인쌍과 연결되는 복수개의 센스앰프; 및 복수개의 라이트 비트라인쌍과 연결되는 복수개의 워드라인 구동부를 구비하고, 복수개의 메모리 셀 각각은, 라이트 인에이블 신호의 인에이블시 한쌍의 라이트 비트라인을 통해 인가되는 데이터를 강유전체 캐패시터에 저장하고, 리드 인에이블 신호의 인에이블시 센스앰프에 저장된 데이터를 출력함을 특징으로 한다.

<25> 본 발명의 또 다른 실시예는, 라이트 인에이블 명령 신호, 리드 인에이블 명령 신호 및 리셋 신호의 상태에 따라, 메모리 셀을 제어하기 위한 제어신호들을 출력하는 메모리 제어부와; 제어신호들의 제어에 따라 강유전체 캐패시터에 데이터를 라이트하고, 센스앰프에 저장된 데이터를 리드하는 강유전체 메모리 셀 어레이; 및 강유전체 메모리 셀 어레이에 저장된 데이터를 복원하기 위한 리셋신호를 출력하는 파워 업 리셋 회로부를 구비함을 특징으로 한다.

<26> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

<27> 도 1은 본 발명에 따른 강유전체 메모리 셀의 회로도이다.

<28> 도 1의 실시예는 단일 포트 메모리 셀으로써, 리드/라이트 데이터가 입/출력되는 비트라인 BL, BLB이 하나의 포트로 구성된다.

<29> 단일 포트 메모리 셀(20)은 메모리 셀(10), 풀업 스위치(21) 및 풀다운 스위치(22)를 구비한다.

<30> 여기서, 메모리 셀(10)은 PMOS래치부(11), 라이트 제어부(12), 강유전체 캐패시터부(13) 및 NMOS래치부(14)를 구비한다.

<31> PMOS래치부(11)는 풀업 스위치(21)와 라이트 제어부(12) 사이에 위치하며, 노드 CN1 및 노드 CN2 사이에 크로스 커플드 구조로 연결된 PMOS트랜지스터 P2, P3를 구비한다. 라이트 제

어부(12)는 노드 CN1,CN2와 한쌍의 비트라인 BL,BLB 사이에 각각 연결되고, 공통 게이트 단자를 통해 라이트 인에이블 신호 ENW의 제어를 받는 NMOS트랜지스터 N1,N2를 구비한다.

<32> 강유전체 캐패시터부(13)는 일단이 노드 CN1,CN2와 각각 연결되고 다른 일단을 통해 셀 플레이트 신호 CPL가 공통으로 인가되는 강유전체 캐패시터 FC1,FC2를 구비한다. 강유전체 캐패시터 FC3,FC4는 일단이 노드 CN1,CN2에 각각 연결되고, 다른 일단을 통해 접지전압이 공통으로 인가된다. 여기서, 강유전체 캐패시터 FC3,FC4는 노드 CN1,CN2의 로딩 레벨 제어에 따라 선택적으로 추가하여 사용할 수 있다.

<33> NMOS래치부(14)는 강유전체 캐패시터부(13)와 풀다운 스위치(22) 사이에 위치하며, 노드 CN1 및 노드 CN2 사이에 크로스 커플드 구조로 연결된 NMOS트랜지스터 N3,N4를 구비한다.

<34> 또한, 풀업 스위치(21)는 전원전압 VCC 인가단과 메모리 셀(10) 사이에 연결되어 게이트 단자를 통해 풀업 인에이블 신호 ENP가 인가되는 PMOS트랜지스터 P1를 구비한다. 그리고, 풀다운 스위치(22)는 메모리 셀(10)과 접지전압 VSS 인가단 사이에 연결되어 게이트 단자를 통해 풀다운 인에이블 신호 ENN가 인가되는 NMOS트랜지스터 N5를 구비한다.

<35> 이상에서와 같이 메모리 셀(10)은 2개의 트랜지스터를 갖는 PMOS래치부(11)와, 2개의 트랜지스터를 갖는 라이트 제어부(12) 및 2개의 트랜지스터를 갖는 NMOS 래치부(14)를 구비한다. 그리고, 메모리 셀(10)은 비휘발성 데이터를 저장하고 센싱 로드를 제어하기 위해 4개의 강유전체 캐패시터 FC1~FC4를 구비한다. 따라서, 메모리 셀(10)은 모두 6개의 트랜지스터와 4개의 캐패시터를 구비하여 6T(Transistor)4C(Capacitor)의 구조를 갖는다.

<36> 또한, 단일 포트 메모리셀(20)은 6T4C의 구조를 갖는 메모리 셀(10)에 2개의 PMOS트랜지스터 P1 및 NMOS트랜지스터 N5를 추가하여 8T4C의 구조를 갖는다.

- <37> 도 2는 본 발명에 따른 강유전체 메모리 셀의 다른 실시예이다.
- <38> 도 2의 실시예는 2포트 메모리 셀로써, 라이트 데이터가 입력되는 한쌍의 라이트 비트라인  $W\_BL, W\_BLB$ 과, 리드 데이터가 출력되는 한쌍의 리드 비트라인  $R\_BL, R\_BLB$ 이 별도로 구분되어 2개의 입/출력 포트를 구비한다.
- <39> 2포트 메모리 셀(40)은 메모리 셀(30), 풀업 스위치(41) 및 풀다운 스위치(42)를 구비한다.
- <40> 여기서, 메모리 셀(30)은 PMOS래치부(31), 라이트 제어부(32), 강유전체 캐패시터부(33), NMOS래치부(34) 및 리드 제어부(35)를 구비한다.
- <41> PMOS래치부(31)는 풀업 스위치(41)와 라이트 제어부(32) 사이에 위치하며, 노드 CN1 및 노드 CN2의 사이에 크로스 커플드 구조로 연결된 PMOS트랜지스터 P5, P6를 구비한다. 라이트 제어부(32)는 노드 CN1, CN2와 한쌍의 라이트 비트라인  $W\_BL, W\_BLB$  사이에 각각 연결되어 공통 게이트 단자를 통해 라이트 인에이블 신호 ENW가 인가되는 NMOS트랜지스터 N6, N7를 구비한다.
- <42> 강유전체 캐패시터부(33)는 일단이 노드 CN1, CN2와 각각 연결되고 다른 일단을 통해 셀 플레이트 신호 CPL가 공통으로 인가되는 강유전체 캐패시터 FC5, FC6를 구비한다. 강유전체 캐패시터 FC7, FC8는 일단이 노드 CN1, CN2에 각각 연결되고, 다른 일단을 통해 접지전압이 공통으로 인가된다. 여기서, 강유전체 캐패시터 FC7, FC8는 노드 CN1, CN2의 로딩 레벨 제어에 따라 선택적으로 추가하여 사용할 수 있다.
- <43> NMOS래치부(34)는 강유전체 캐패시터부(33)와 리드 제어부(35) 사이에 위치하며, 노드 CN1 및 노드 CN2의 사이에 크로스 커플드 구조로 연결된 NMOS트랜지스터 N8, N9를 구비한다.

- <44>        리드 제어부(35)는 NMOS트랜지스터 N10~N13를 구비한다. 여기서, NMOS트랜지스터 N11,N10는 한쌍의 리드 비트라인 R<sub>BL</sub>,R<sub>BLB</sub>에 각각 그 일단이 연결된다. 그리고, NMOS트랜지스터 N10,N11의 다른 일단은 NMOS트랜지스터 N12,N13와 각각 연결되어, 공통 게이트 단자를 통해 리드 인에이블 신호 ENR가 인가된다. NMOS트랜지스터 N12는 NMOS트랜지스터 N10와 접지전압 VSS 인가단 사이에 연결되어 게이트 단자가 노드 CN2와 연결된다. 그리고, NMOS트랜지스터 N13는 NMOS트랜지스터 N11와 접지전압 VSS 인가단 사이에 연결되어 게이트 단자가 노드 CN1과 연결된다.
- <45>        또한, 풀업 스위치(41)는 전원전압 VCC 인가단과 메모리 셀(30) 사이에 연결되어 게이트 단자를 통해 풀업 인에이블 신호 ENP가 인가되는 PMOS트랜지스터 P4를 구비한다. 그리고, 풀다운 스위치(42)는 메모리 셀(30)과 접지전압 VSS 인가단 사이에 연결되어 게이트 단자를 통해 풀다운 인에이블 신호 ENN가 인가되는 NMOS트랜지스터 N14를 구비한다.
- <46>        이상에서와 같이 메모리 셀(30)은 2개의 트랜지스터를 갖는 PMOS래치부(31)와, 2개의 트랜지스터를 갖는 라이트 제어부(32)와, 2개의 트랜지스터를 갖는 NMOS 래치부(34) 및 4개의 트랜지스터를 갖는 리드 제어부(35)를 구비한다. 그리고, 메모리 셀(30)은 비휘발성 데이터를 저장하고 센싱 로드를 제어하기 위해 4개의 강유전체 캐패시터 FC5~FC8를 구비한다. 따라서, 메모리 셀(30)은 모두 10개의 트랜지스터와 4개의 캐패시터를 구비하여 10T(Transistor)4C(Capacitor)의 구조를 갖는다.
- <47>        또한, 2포트 메모리셀(40)은 10T4C의 구조를 갖는 메모리 셀(30)에 2개의 PMOS트랜지스터 P4 및 NMOS트랜지스터 N14를 추가하여 12T4C의 구조를 갖는다.

- <48> 이러한 구성을 갖는 본 발명의 2포트 메모리셀(40)은 라이트 모드시 한쌍의 라이트 비트라인 W<sub>BL</sub>, W<sub>BLB</sub>을 통해서 메모리 셀(30)에 데이터를 라이트하고, 리드 모드시에는 한쌍의 리드 비트라인 R<sub>BL</sub>, R<sub>BLB</sub>을 통해서 메모리 셀(30)에 저장된 데이터를 센싱 및 리드한다.
- <49> 도 3은 본 발명에 따른 강유전체 메모리 셀의 또 다른 실시예이다.
- <50> 도 3의 실시예는 멀티 포트 메모리 셀로써, 라이트 데이터가 입력되는 한쌍의 라이트 비트라인 W<sub>BL</sub>, W<sub>BLB</sub>과, 리드 데이터가 출력되는 한쌍의 리드 비트라인 R<sub>BL</sub>, R<sub>BLB</sub>이 복수개로 구분되어 복수개의 입/출력 포트를 구비한다.
- <51> 멀티 포트 메모리 셀(50)은 풀업 스위치(51), PMOS래치부(52), 라이트 제어부(53), 강유전체 캐패시터부(54), NMOS래치부(55), 리드 제어부(56) 및 풀다운 스위치(57)를 구비한다.
- <52> 풀업 스위치(51)는 전원전압 VCC 인가단과 PMOS래치부(52) 사이에 연결되어 게이트 단자를 통해 풀업 인에이블 신호 ENP가 인가되는 PMOS트랜지스터 P7를 구비한다.
- <53> PMOS래치부(52)는 풀업 스위치(51)와 라이트 제어부(53) 사이에 위치하며, 노드 CN1 및 노드 CN2 사이에 크로스 커플드 구조로 연결된 PMOS트랜지스터 P8, P9를 구비한다. 라이트 제어부(53)는 노드 CN1, CN2와 한쌍의 라이트 비트라인 W<sub>BL</sub>, W<sub>BLB</sub> 사이에 각각 연결되어 공통 게이트 단자를 통해 라이트 인에이블 신호 ENW가 인가되는 NMOS트랜지스터 N15, N16를 구비한다.
- <54> 강유전체 캐패시터부(54)는 일단이 노드 CN1, CN2와 각각 연결되고 다른 일단을 통해 셀 플레이트 신호 CPL가 공통으로 인가되는 강유전체 캐패시터 FC9, FC10를 구비한다. 강유전체 캐패시터 FC11, FC12는 일단이 노드 CN1, CN2에 각각 연결되고, 다른 일단을 통해 접지전압이 공

통으로 인가된다. 여기서, 강유전체 캐패시터 FC11,FC12는 노드 CN1,CN2의 로딩 레벨 제어에 따라 선택적으로 추가하여 사용할 수 있다.

<55> NMOS래치부(55)는 강유전체 캐패시터부(54)와 리드 제어부(56) 사이에 위치하며, 노드 CN1 및 노드 CN2 사이에 크로스 커플드 구조로 연결된 NMOS트랜지스터 N17,N18를 구비한다.

<56> 리드 제어부(56)는 NMOS트랜지스터 N19~N22를 구비한다. 여기서, NMOS트랜지스터 N19는 리드 비트라인 R\_BLB과 NMOS트랜지스터 N21 사이에 연결되고, NMOS트랜지스터 N20는 리드 비트라인 R\_BL과 NMOS트랜지스터 N22 사이에 연결되며, NMOS트랜지스터 N19,N20는 공통 게이트 단자를 통해 리드 인에이블 신호 ENR를 수신한다. NMOS트랜지스터 N21는 NMOS트랜지스터 N19와 접지전압 VSS 인가단 사이에 연결되어 게이트 단자가 노드 CN2와 연결된다. 그리고, NMOS트랜지스터 N22는 NMOS트랜지스터 N20와 접지전압 VSS 인가단 사이에 연결되어 게이트 단자가 노드 CN1과 연결된다.

<57> 풀다운 스위치(57)는 NMOS래치부(55)와 접지전압 VSS 인가단 사이에 연결되어 게이트 단자를 통해 풀다운 인에이블 신호 ENN가 인가되는 NMOS트랜지스터 N23를 구비한다.

<58> 여기서, 도 3의 실시예는 한쌍의 라이트 비트라인 W\_BL,W\_BLB 및 한쌍의 리드 비트라인 R\_BL,R\_BLB이 복수개 구성되어 멀티포트로 사용될 수 있는데, 본 발명에서는 그 상세한 구성은 생략하기로 한다.

<59> 한편, 도 4는 도 1의 단일 포트 메모리 셀(20)을 이용한 셀 어레이를 나타낸다.

<60> 단일 포트 메모리 셀(20)을 이용한 셀 어레이는 한쌍의 비트라인 BL,BLB 사이에 컬럼 방향으로 복수개의 단일 포트 메모리 셀(20)을 구비한다. 그리고, 한쌍의 비트라인 BL,BLB은 하

나의 센스앰프(60)를 공유한다. 또한, 이러한 단일포트 메모리 셀(20)은 로오 방향으로 복수개 구비된다.

<61> 여기서, 미도시된 라이트 인에이블 신호 ENW, 셀플레이트 신호 CPL, 풀다운 인에이블 신호 ENN 및 풀업 인에이블 신호 ENP들을 복수개의 단일 포트 메모리 셀(20)에 대해 로오 방향으로 공유된다.

<62> 도 5는 도 1의 단일 포트 메모리 셀(20)을 이용한 셀 어레이의 다른 실시예이다.

<63> 기본 셀 어레이의 구성은 한쌍의 비트라인 BL, BLB 사이에 컬럼 방향으로 6T4C 구조의 복수개의 메모리 셀(10)을 구비한다. 그리고, 한쌍의 비트라인 BL, BLB은 하나의 센스앰프(60)를 공유한다. 또한, 이러한 메모리 셀(10)은 로오 방향으로 복수개 구비된다.

<64> 그리고, 복수개의 풀업 스위치(21)는 전원전압 VCC 인가단과 메모리 셀(10) 사이에 연결되어 공통 게이트 단자가 풀업 인에이블 신호 ENP 인가단과 연결된다. 복수개의 풀다운 스위치(22)는 메모리 셀(10)과 접지전압 VSS 인가단 사이에 연결되어 공통 게이트 단자가 풀다운 인에이블 신호 ENN 인가단과 연결된다.

<65> 여기서, 라이트 인에이블 신호 ENW 및 셀플레이트 신호 CPL는 복수개의 메모리 셀(10)에 대하여 로오 방향으로 공유된다. 그리고, 풀다운 인에이블 신호 ENN 및 풀업 인에이블 신호 ENP들을 복수개의 풀업 스위치(21) 및 풀다운 스위치(22)에 대해 컬럼 방향으로 공유된다.

<66> 또한, 같은 로오 방향에 연결된 복수개의 메모리 셀(10)들은 하나의 풀업 스위치(21)와 하나의 풀다운 스위치(22)를 독립적으로 공유하여 사용한다. 따라서, 같은 로오 방향의 메모리 셀(10)들에 걸리는 로드 전압이 다른 로오 방향의 메모리 셀(10)들에 출력되는 것을 방지할 수 있게 된다.



- <67> 한편, 도 6은 도 2의 2포트 메모리 셀(40)을 이용한 셀 어레이를 나타낸다.
- <68> 2포트 메모리 셀(40)을 이용한 셀 어레이는 한쌍의 라이트 비트라인 W<sub>BL</sub>, W<sub>BLB</sub> 사이와 한쌍의 리드 비트라인 R<sub>BL</sub>, R<sub>BLB</sub> 사이에 컬럼 방향으로 복수개의 2포트 메모리 셀(40)을 구비한다. 그리고, 한쌍의 리드 비트라인 R<sub>BL</sub>, R<sub>BLB</sub>는 하나의 센스앰프(70)를 공유한다. 또한, 한쌍의 라이트 비트라인 W<sub>BL</sub>, W<sub>BLB</sub>는 하나의 워드라인 구동부(80)를 공유한다. 이러한 2포트 메모리 셀(40), 센스앰프(70) 및 워드라인 구동부(80)는 로오 방향으로 복수개 구비된다.
- <69> 여기서, 라이트 인에이블 신호 ENW, 리드 인에이블 신호 ENR, 셀플레이트 신호 CPL, 풀다운 인에이블 신호 ENN 및 풀업 인에이블 신호 ENP들을 복수개의 2포트 메모리 셀(40)에 대해 로오 방향으로 공유된다.
- <70> 도 7은 도 2의 2포트 메모리 셀(40)을 이용한 셀 어레이의 다른 실시예이다.
- <71> 기본 셀 어레이의 구성은 한쌍의 라이트 비트라인 W<sub>BL</sub>, BLB 사이에 컬럼 방향으로 10T4C 구조의 복수개의 메모리 셀(30)을 구비한다. 그리고, 한쌍의 리드 비트라인 BL, BLB은 하나의 센스앰프(70)를 공유한다. 또한, 한쌍의 라이트 비트라인 W<sub>BL</sub>, W<sub>BLB</sub>은 하나의 워드라인 구동부(80)를 공유한다.
- <72> 그리고, 복수개의 풀업 스위치(41)는 전원전압 VCC 인가단과 메모리 셀(30) 사이에 연결되어 공통 게이트 단자가 풀업 인에이블 신호 ENP 인가단과 연결된다. 복수개의 풀다운 스위치(42)는 메모리 셀(30)과 접지전압 VSS 인가단 사이에 연결되어 공통 게이트 단자가 풀다운 인에이블 신호 ENN 인가단과 연결된다. 이러한 메모리 셀(30), 센스앰프(70) 및 워드라인 구동부(80)는 로오 방향으로 복수개 구비된다.

- <73> 여기서, 라이트 인에이블 신호 ENW, 리드 인에이블 신호 ENR 및 셀플레이트 신호 CPL는 복수개의 메모리 셀(30)에 대하여 로오 방향으로 공유된다. 그리고, 풀다운 인에이블 신호 ENN 및 풀업 인에이블 신호 ENP들을 복수개의 풀업 스위치(41) 및 풀다운 스위치(42)에 대해 컬럼 방향으로 공유된다.
- <74> 한편, 도 8은 본 발명의 2포트 메모리 셀(40)을 이용한 셀 어레이의 센스앰프(70)에 관한 상세 회로도이다.
- <75> 센스앰프(70)는 풀업 구동부(71), 풀업 제어부(72) 및 래치부(73)를 구비한다.
- <76> 풀업 구동부(71)는 전원전압 VCC 인가단과, 풀업 제어부(72) 사이에 위치하며, 공통 게이트 단자를 통하여 풀업 제어신호 PUC가 인가되는 PMOS트랜지스터 P10,P11를 구비한다.
- <77> 풀업 제어부(72)는 한쌍의 리드 비트라인 R<sub>BL</sub>,R<sub>BLB</sub>으로부터 인가되는 출력신호를 노아 연산하는 노아게이트 NOR1와, 노아게이트 NOR1의 출력신호를 반전하여 풀업 제어신호 PUC를 출력하는 인버터 IV1를 구비한다.
- <78> 래치부(73)는 한쌍의 리드 비트라인 R<sub>BL</sub>,R<sub>BLB</sub>으로부터 인가되는 출력신호를 일정 시간 저장하는 래치 구조의 인버터 IV2,IV3를 구비한다.
- <79> 이상에서와 같이 2포트 메모리 셀(40)은 리드 모드시 메모리 셀(30)로의 전류 유입은 있어도 메모리 셀(30)로부터 유출되는 전류가 없는 오프 드레인 형태의 비트라인 구조를 갖는다.
- <80> 따라서, 2포트 메모리 셀(40)은 한쌍의 리드 비트라인 R<sub>BL</sub>,R<sub>BLB</sub>의 전압 레벨을 하이 레벨에서 로우 레벨로 천이시킬 수는 있어도, 로우 레벨에서 하이 레벨로 천이시킬 수 없는 구조이다.

- <81> 따라서, 본 발명은 상술된 센스앰프(70)의 풀업 제어신호 PUC에 의해 한쌍의 리드 비트라인 R\_BL, R\_BLB이 모두 로우 레벨인 구간이 되면, 이 구간동안 한쌍의 리드 비트라인 R\_BL, R\_BLB을 하이 레벨로 프리차지 시킨다.
- <82> 이러한 구성을 갖는 센스앰프(70)의 동작과정을 도 9의 동작 타이밍도를 참조하여 설명하면 다음과 같다.
- <83> 먼저, 리드 제어부(35)의 리드 인에이블 신호 ENR가 하이로 인에이블 되면 리드 비트라인 R\_BLB가 로우로 천이한다. 이때, 한쌍의 리드 비트라인 R\_BL, R\_BLB가 모두 로우 레벨이 되므로 노아게이트 NOR1는 하이 레벨의 출력신호를 출력한다.
- <84> 이후에, 풀업 제어신호 PUC는 인버터 IV1에 의해 로우 레벨로 천이되고, 풀업 제어신호 PUC에 따라 풀업 제어부(71)의 PMOS트랜지스터 P10, P11가 턴온된다. 따라서, 리드 비트라인 R\_BL이 하이 레벨이 되기 이전까지 한쌍의 리드 비트라인 R\_BL, R\_BLB를 전원전압 VCC로 풀업시킨다.
- <85> 다음에, 일정시간 이후에 리드 비트라인 R\_BL이 하이 레벨로 천이하면, 풀업 제어신호 PUC가 하이 레벨로 천이하여 풀업 동작을 중지하게 된다.
- <86> 도 10은 상술된 실시예들을 포함하는 본 발명에 따른 다중 포트 강유전체 메모리 장치의 구성도이다.
- <87> 본 발명은 메모리 제어부(100), 파워 업 리셋 회로부(110) 및 강유전체 메모리 셀 어레이(120)를 구비한다.
- <88> 여기서, 메모리 제어부(100)는 라이트 인에이블 명령 신호 WE\_CMD 및 리드 인에이블 명령 신호 RE\_CMD에 따라, 강유전체 메모리 셀 어레이(120)를 제어하기 위한 풀업 인에이블 신호

ENP, 풀다운 인에이블 신호 ENN, 리드 인에이블 신호 ENR, 라이트 인에이블 신호 ENW 및 셀플레이트 신호 CPL를 출력한다.

- <89> 파워 업 리셋 회로부(110)는 파워 업시 메모리 제어부(100)를 초기화시키기 위한 리셋신호 RESET를 발생한다. 또한, 강유전체 메모리 셀 어레이(120)는 풀업 인에이블 신호 ENP, 풀다운 인에이블 신호 ENN, 리드 인에이블 신호 ENR, 라이트 인에이블 신호 ENW 및 셀플레이트 신호 CPL에 따라 데이터의 리드/라이트 동작을 제어한다. 강유전체 메모리 셀 어레이(120)는 상술된 도 4 내지 도 7의 실시예들 중 적어도 어느 하나의 셀 어레이로 이루어진다.
- <90> 이러한 구성을 갖는 본 발명은 파워 업 모드시에 메모리 셀에 저장된 데이터를 리셋신호 RESET를 이용하여 복원하게 된다. 그리고, 메모리 셀에 새로운 데이터를 프로그램하기 위해서, 별도의 프로그램 명령인 라이트 인에이블 명령 신호 WE\_CMD 및 리드 인에이블 명령 신호 RE\_CMD를 이용하여 셀 데이터를 바꾸게 된다.
- <91> 도 11은 본 발명의 파워 업 모드시 동작 타이밍도를 나타낸다.
- <92> 먼저, 파워 업 이후 T1구간에서 전원이 안정된 전원전압 VCC 레벨에 도달하면 리셋신호 RESET가 디스에이블되고, 파워 업 검출신호 PUP가 인에이블된다.
- <93> 이후에, 파워 업 검출신호 PUP의 인에이블에 따라 셀플레이트 신호 CPL가 하이로 천이한다. 이때, 강유전체 메모리 셀 어레이(120)의 강유전체 캐패시터 FC1,FC2에 저장된 전하가 강유전체 캐패시터 FC3,FC4의 캐패시턴스 로드 에 의해 셀 양단 노드에 전압차를 발생시킨다.
- <94> 셀 양단 노드에 충분히 전압차가 발생하는 T2구간에 진입하면 풀다운 인에이블 신호 ENN가 하이로 인에이블되고, 풀업 인에이블 신호 ENP로 로우로 디스에이블되어 셀 양단의 데이터를 증폭하게 된다.

- <95> 이후에, T3구간에 진입하여 셀 양단의 데이터 증폭이 완료되면, 파워 업 검출신호 PUP 및 셀플레이트 신호 CPL를 다시 로우로 천이시킨다. 따라서, 파괴되었던 강유전체 캐패시터 FC1 또는 강유전체 캐패시터 FC2의 하이 데이터를 다시 복구하게 된다. 이때, 라이트 인에이블 신호 ENW는 로우 상태를 유지하여 외부 데이터가 다시 라이트 되는 것을 방지한다.
- <96> 도 12는 본 발명의 라이트 모드시 동작 타이밍도를 나타낸다.
- <97> 먼저, 한쌍의 비트라인 BL, BLB에 새로운 데이터가 입력되면 라이트 인에이블 명령 신호 WE\_CMD가 로우로 디스에이블된다. 그리고, 라이트 인에이블 명령 신호 WE\_CMD에 따라 레지스터에 새로운 데이터를 라이트 하기 위한 라이트 인에이블 신호 ENW 및 셀플레이트 신호 CPL가 하이로 천이한다. 따라서, 한쌍의 비트라인 BL, BLB을 통해 입력된 데이터가 메모리 셀에 저장된다. 이때, 풀다운 인에이블 신호 ENN는 하이 상태를 유지하고, 풀업 인에이블 신호 ENP는 로우 상태를 유지한다.
- <98> 도 13은 본 발명의 리드 모드시 동작 타이밍도를 나타낸다.
- <99> 먼저, 리드 인에이블 명령 RE\_CMD가 로우로 디스에이블 되면 리드 인에이블 신호 ENR가 하이로 천이한다. 이에 따라, 한쌍의 비트라인 BL, BLB를 통해 센스앰프(70)의 래치부(73)에 저장된 데이터가 바로 출력된다.
- <100> 이때, 셀플레이트 신호 CPL 및 풀다운 인에이블 신호 ENN는 로우 상태를 유지하고, 풀업 인에이블 신호 ENP는 하이 상태를 유지한다.
- <101> 따라서, 본 발명은 리드 동작 모드시 메모리 셀의 강유전체 캐패시터와는 관계없이 센스 앰프(70)의 래치부(73)에 저장된 셀 데이터를 직접 액세스하여 빠른 액세스가 가능하도록 한다.

【발명의 효과】

<102>       이상에서 설명한 바와 같이, 본 발명은 다음과 같은 효과를 제공한다.

<103>       첫째, 리드 동작 모드시 리드 비트라인을 프리차시시켜 리드 데이터의 데이터 패일을 방지할 수 있다.

<104>       둘째, 리드 동작 모드시 센스앰프의 래치부에 저장된 셀 데이터를 바로 액세스하여 빠른 동작이 가능하도록 한다.

<105>       셋째, 파워 업 모드시 별도의 프로그램 명령에 따라 메모리 셀에 저장된 데이터를 복원하여, 강유전체의 파괴동작으로 인한 반복적인 쓰기 횟수의 한계를 극복함으로써 고신뢰성과 고속의 비휘발성 FeRAM 셀을 구현할 수 있게 된다.

【특허청구범위】

【청구항 1】

풀업 인에이블 신호의 인에이블시 전원전압을 풀업시키는 풀업 스위치;

셀 양단 노드 사이에 크로스 커플드 구조로 연결되어 상기 풀업 스위치로부터 인가되는 전원전압을 래치하는 제 1래치부;

라이트 인에이블 신호의 인에이블시 한쌍의 라이트 비트라인을 통해 각각 인가되는 데이터를 상기 셀 양단 노드에 선택적으로 출력하는 라이트 제어부;

셀플레이트 신호의 인에이블시 상기 셀 양단 노드에 전압차를 발생시켜 상기 데이터를 저장하는 강유전체 캐패시터부;

풀다운 인에이블 신호의 인에이블시 접지전압을 풀다운시키는 풀다운 스위치;

상기 셀 양단 노드 사이에 크로스 커플드 구조로 연결되어 상기 풀다운 스위치로부터 인가되는 접지전압을 래치하는 제 2래치부; 및

리드 인에이블 신호의 인에이블시 상기 강유전체 캐패시터부에 저장된 데이터를 한쌍의 리드 비트라인에 선택적으로 출력하는 리드 제어부를 구비함을 특징으로 하는 강유전체 메모리 셀.

【청구항 2】

제 1 항에 있어서, 상기 리드 제어부는

공통 게이트 단자를 통해 입력되는 상기 리드 인에이블 신호의 상태에 따라 상기 한쌍의 리드 비트라인과 선택적으로 연결되는 제 1구동소자 및 제 2구동소자;

상기 셀 양단 노드의 전압 레벨에 따라 상기 제 1구동소자 및 상기 제 2구동소자에 접지 전압을 선택적으로 공급하는 제 3구동소자 및 제 4구동소자를 구비함을 특징으로 하는 강유전체 메모리 셀.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 라이트 인에이블 신호 및 상기 리드 인에이블 신호가 입/출력되는 입/출력 포트가 복수개 구비됨을 특징으로 하는 강유전체 메모리 셀.

【청구항 4】

복수개의 비트라인쌍에 로오 및 컬럼 방향으로 연결되는 복수개의 단일 포트 메모리 셀;  
및

상기 복수개의 비트라인쌍과 연결되는 복수개의 센스앰프를 구비하고,

상기 복수개의 단일 포트 메모리 셀 각각은,

라이트 인에이블 신호의 인에이블시 한쌍의 비트라인을 통해 인가되는 데이터를 강유전체 캐패시터에 저장하는 메모리 셀을 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【청구항 5】

제 4 항에 있어서, 상기 복수개의 단일 포트 메모리 셀 각각은

풀업 인에이블 신호의 인에이블시 상기 메모리 셀에 전원전압을 공급하는 풀업 스위치;  
및



풀다운 인에이블 신호의 인에이블시 상기 메모리 셀에 접지전압을 공급하는 풀다운 스위치를 더 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【청구항 6】

제 5 항에 있어서, 상기 메모리 셀은

셀 양단 노드 사이에 크로스 커플드 구조로 연결되어 상기 풀업 스위치로부터 인가되는 전원전압을 래치하는 제 1래치부;

상기 라이트 인에이블 신호의 인에이블시 상기 한쌍의 비트라인을 통해 인가되는 데이터를 상기 셀 양단 노드에 선택적으로 출력하는 라이트 제어부;

셀플레이트 신호의 인에이블시 상기 셀 양단 노드에 전압차를 발생시켜 상기 데이터를 저장하는 강유전체 캐패시터부; 및

셀 양단 노드 사이에 크로스 커플드 구조로 연결되어 상기 풀다운 스위치로부터 인가되는 접지전압을 래치하는 제 2래치부를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【청구항 7】

제 6 항에 있어서,

상기 라이트 인에이블 신호, 상기 셀플레이트 신호, 상기 풀다운 인에이블 신호 및 상기 풀업 인에이블 신호들을 상기 복수개의 단일 포트 메모리 셀 각각에 대해 로오 방향으로 공유됨을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【청구항 8】

제 4 항에 있어서,

상기 복수개의 비트라인쌍은 하나의 비트라인쌍이 하나의 센스앰프를 공유함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【청구항 9】

복수개의 비트라인쌍에 로오 및 컬럼 방향으로 연결되는 복수개의 메모리 셀;

풀업 인에이블 신호의 인에이블시 상기 복수개의 메모리 셀에 전원전압을 공급하는 복수개의 풀업 스위치;

풀다운 인에이블 신호의 인에이블시 상기 복수개의 메모리 셀에 접지전압을 공급하는 복수개의 풀다운 스위치; 및

상기 복수개의 비트라인쌍에 연결되는 복수개의 센스앰프를 구비하고,

상기 복수개의 메모리 셀 각각은,

라이트 인에이블 신호의 인에이블시 한쌍의 비트라인을 통해 인가되는 데이터를 저장하기 위한 강유전체 캐패시터를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【청구항 10】

제 9 항에 있어서, 상기 복수개의 메모리 셀 각각은

셀 양단 노드 사이에 크로스 커플드 구조로 연결되어 상기 풀업 스위치로부터 인가되는 전원전압을 래치하는 제 1래치부;

상기 라이트 인에이블 신호의 인에이블시 상기 한쌍의 비트라인을 통해 인가되는 데이터를 상기 셀 양단 노드에 선택적으로 출력하는 라이트 제어부;

셀플레이트 신호의 인에이블시 상기 셀 양단 노드에 전압차를 발생시켜 상기 데이터를 저장하는 강유전체 캐패시터부; 및

셀 양단노드에 크로스 커플드 구조로 연결되어 상기 풀다운 스위치로부터 인가되는 접지 전압을 래치하는 제 2래치부를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

**【청구항 11】**

제 10 항에 있어서,

상기 라이트 인에이블 신호 및 상기 셀플레이트 신호는 상기 복수개의 메모리 셀 각각에 대해 로오 방향으로 공유되고, 상기 풀다운 인에이블 신호 및 상기 풀업 인에이블 신호는 상기 복수개의 풀업 스위치 및 상기 복수개의 풀다운 스위치 각각에 대해 컬럼 방향으로 공유됨을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

**【청구항 12】**

제 9 항에 있어서,

상기 복수개의 비트라인쌍은 하나의 비트라인쌍이 하나의 센스앰프를 공유함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

**【청구항 13】**

제 9 항에 있어서,

같은 로오 방향에 연결된 복수개의 메모리 셀들은 하나의 풀업 스위치와 하나의 풀다운 스위치를 독립적으로 공유하여 사용함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 14】

복수개의 라이트 비트라인쌍과 복수개의 리드 비트라인쌍에 각각 로오 및 컬럼 방향으로 연결되는 복수개의 2포트 메모리 셀;

상기 복수개의 리드 비트라인쌍과 연결되는 복수개의 센스앰프; 및

상기 복수개의 라이트 비트라인쌍과 연결되는 복수개의 워드라인 구동부를 구비하고,

상기 복수개의 2포트 메모리 셀 각각은,

라이트 인에이블 신호의 인에이블시 한쌍의 라이트 비트라인을 통해 인가되는 데이터를 강유전체 캐패시터에 저장하고, 리드 인에이블 신호의 인에이블시 센스앰프에 저장된 데이터를 출력하는 메모리 셀을 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 15】

제 14 항에 있어서, 상기 복수개의 2포트 메모리 셀 각각은

풀업 인에이블 신호의 인에이블시 상기 메모리 셀에 전원전압을 공급하는 풀업 스위치; 및

풀다운 인에이블 신호의 인에이블시 상기 메모리 셀에 접지전압을 공급하는 풀다운 스위치를 더 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 16】

제 15 항에 있어서, 상기 메모리 셀은

셀 양단 노드 사이에 크로스 커플드 구조로 연결되어 상기 풀업 스위치로부터 인가되는 전원전압을 래치하는 제 1래치부;

상기 라이트 인에이블 신호의 인에이블시 상기 한쌍의 라이트 비트라인을 통해 인가되는 데이터를 상기 셀 양단 노드에 선택적으로 출력하는 라이트 제어부;

셀플레이트 신호의 인에이블시 상기 셀 양단노드에 전압차를 발생시켜 상기 데이터를 저장하는 강유전체 캐패시터부;

상기 셀 양단 노드에 크로스 커플드 구조로 연결되어 상기 풀다운 스위치로부터 인가되는 접지전압을 래치하는 제 2래치부; 및

상기 리드 인에이블 신호의 인에이블시 상기 강유전체 캐패시터부에 저장된 데이터를 한쌍의 리드 비트라인에 선택적으로 출력하는 리드 제어부를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 17】

제 16 항에 있어서, 상기 리드 제어부는

공통 게이트 단자를 통해 입력되는 상기 리드 인에이블 신호의 상태에 따라 상기 한쌍의 리드 비트라인과 선택적으로 연결되는 제 1구동소자 및 제 2구동소자;

상기 셀 양단 노드의 전압 레벨에 따라 상기 제 1구동소자 및 상기 제 2구동소자에 접지전압을 선택적으로 공급하는 제 3구동소자 및 제 4구동소자를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 18】

제 16 항에 있어서,

상기 라이트 인에이블 신호, 상기 리드 인에이블 신호, 셀플레이트 신호, 폴다운 인에이블 신호 및 폴업 인에이블 신호는 상기 복수개의 2포트 메모리 셀 각각에 대하여 로오 방향으로 공유됨을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 19】

제 14 항에 있어서,

상기 복수개의 리드 비트라인쌍은 하나의 리드 비트라인쌍이 하나의 센스앰프를 공유함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 20】

제 14 항 또는 제 19 항에 있어서, 상기 복수개의 센스앰프 각각은

폴업 제어신호의 상태에 따라 한쌍의 리드 비트라인에 전원전압을 공급하는 폴업 구동부;

상기 한쌍의 리드 비트라인으로부터 출력되는 출력신호의 전압레벨에 따라 상기 폴업 제어신호를 제어하는 폴업 제어부; 및

상기 한쌍의 리드 비트라인으로부터 출력되는 출력신호를 일정시간 저장하는 래치부를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 21】

제 20 항에 있어서, 상기 복수개의 센스앰프 각각은

상기 한쌍의 리드 비트라인의 전압 레벨이 모두 로우 레벨이 되면, 상기 폴업 제어신호에 의해 어느 하나의 리드 비트라인의 전압 레벨이 하이 레벨이 되기 이전까지 상기 한쌍의 리

드 비트라인을 전원전압으로 프리차지시킴을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【청구항 22】

제 20 항에 있어서, 상기 풀업 제어부는

상기 한쌍의 리드 비트라인으로부터 인가되는 출력신호를 노아 연산하는 노아게이트;  
및

상기 노아게이트의 출력신호를 반전하여 상기 풀업 제어신호를 출력하는 인버터를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【청구항 23】

제 14 항에 있어서,

상기 복수개의 라이트 비트라인쌍은 하나의 라이트 비트라인쌍이 하나의 워드라인 구동부를 공유함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【청구항 24】

복수개의 라이트 비트라인쌍과 복수개의 리드 비트라인쌍에 각각 로오 및 컬럼 방향으로 연결되는 복수개의 메모리 셀;

풀업 인에이블 신호의 인에이블시 상기 복수개의 메모리 셀에 전원전압을 공급하는 복수개의 풀업 스위치;

풀다운 인에이블 신호의 인에이블시 상기 복수개의 메모리 셀에 접지전압을 공급하는 복수개의 풀다운 스위치;

상기 복수개의 리드 비트라인쌍과 연결되는 복수개의 센스앰프; 및

상기 복수개의 라이트 비트라인쌍과 연결되는 복수개의 워드라인 구동부를 구비하고,

상기 복수개의 메모리 셀 각각은,

라이트 인에이블 신호의 인에이블시 한쌍의 라이트 비트라인을 통해 인가되는 데이터를 강유전체 캐패시터에 저장하고, 리드 인에이블 신호의 인에이블시 센스앰프에 저장된 데이터를 출력함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 25】

제 24 항에 있어서, 상기 복수개의 메모리 셀 각각은

셀 양단 노드 사이에 크로스 커플드 구조로 연결되어 상기 풀업 스위치로부터 인가되는 전원전압을 래치하는 제 1래치부;

상기 라이트 인에이블 신호의 인에이블시 상기 한쌍의 라이트 비트라인을 통해 인가되는 데이터를 상기 셀 양단 노드에 선택적으로 출력하는 라이트 제어부;

셀플레이트 신호의 인에이블시 상기 셀 양단 노드에 전압차를 발생시켜 상기 데이터를 저장하는 강유전체 캐패시터부;

상기 셀 양단 노드에 크로스 커플드 구조로 연결되어 상기 풀다운 스위치로부터 인가되는 접지전압을 래치하는 제 2래치부; 및

상기 리드 인에이블 신호의 인에이블시 상기 강유전체 캐패시터부에 저장된 데이터를 한 쌍의 리드 비트라인에 선택적으로 출력하는 리드 제어부를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 26】

제 25 항에 있어서, 상기 리드 제어부는



공통 게이트 단자를 통해 입력되는 상기 리드 인에이블 신호의 상태에 따라 상기 한쌍의 리드 비트라인과 선택적으로 연결되는 제 1구동소자 및 제 2구동소자;

상기 셀 양단 노드의 전압 레벨에 따라 상기 제 1구동소자 및 상기 제 2구동소자에 접지 전압을 선택적으로 공급하는 제 3구동소자 및 제 4구동소자를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【청구항 27】

제 25 항에 있어서,

상기 라이트 인에이블 신호, 상기 리드 인에이블 신호 및 셀플레이트 신호는 상기 복수개의 메모리 셀 각각에 대하여 로오 방향으로 공유되고, 상기 풀다운 인에이블 신호 및 풀업 인에이블 신호는 상기 복수개의 메모리 셀 각각에 대하여 컬럼 방향으로 공유됨을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【청구항 28】

제 24 항에 있어서,

상기 복수개의 리드 비트라인쌍은 하나의 리드 비트라인쌍이 하나의 센스앰프를 공유함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【청구항 29】

제 24 항 또는 제 28 항에 있어서, 상기 복수개의 센스앰프 각각은

풀업 제어신호의 상태에 따라 한쌍의 리드 비트라인에 전원전압을 공급하는 풀업 구동부;

상기 한쌍의 리드 비트라인으로부터 인가되는 출력신호의 전압레벨에 따라 상기 풀업 제어신호를 제어하는 풀업 제어부; 및

상기 한쌍의 리드 비트라인으로부터 인가되는 출력신호를 일정시간 저장하는 래치부를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 30】

제 29 항에 있어서, 상기 복수개의 센스앰프 각각은

상기 한쌍의 리드 비트라인의 전압 레벨이 모두 로우 레벨이 되면, 상기 풀업 제어신호에 의해 리드 비트라인의 전압 레벨이 하이 레벨이 되기 이전까지 상기 한쌍의 리드 비트라인을 전원전압으로 프리차지시킴을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 31】

제 29 항에 있어서, 상기 풀업 제어부는

상기 한쌍의 리드 비트라인으로부터 인가되는 출력신호를 노아 연산하는 노아게이트; 및

상기 노아게이트의 출력신호를 반전하여 상기 풀업 제어신호를 출력하는 인버터를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

#### 【청구항 32】

제 24 항에 있어서, 상기 복수개의 라이트 비트라인쌍은

하나의 라이트 비트라인쌍이 하나의 워드라인 구동부를 공유함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

## 【청구항 33】

라이트 인에이블 명령 신호, 리드 인에이블 명령 신호 및 리셋 신호의 상태에 따라, 메모리 셀을 제어하기 위한 제어신호들을 출력하는 메모리 제어부;

상기 제어신호들의 제어에 따라 강유전체 캐패시터에 데이터를 라이트하고, 센스앰프에 저장된 데이터를 리드하는 강유전체 메모리 셀 어레이; 및

상기 강유전체 메모리 셀 어레이에 저장된 데이터를 복원하기 위한 상기 리셋신호를 출력하는 파워 업 리셋 회로부를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

## 【청구항 34】

제 33 항에 있어서, 상기 강유전체 메모리 셀 어레이는

풀업 인에이블 신호의 인에이블시 전원전압을 풀업시키는 풀업 스위치;

셀 양단 노드 사이에 크로스 커플드 구조로 연결되어 상기 풀업 스위치로부터 인가되는 전원전압을 래치하는 제 1래치부;

라이트 인에이블 신호의 인에이블시 한쌍의 라이트 비트라인을 통해 인가되는 데이터를 상기 셀 양단 노드에 선택적으로 출력하는 라이트 제어부;

셀플레이트 신호의 인에이블시 상기 셀 양단 노드에 전압차를 발생시켜 상기 데이터를 저장하는 강유전체 캐패시터부;

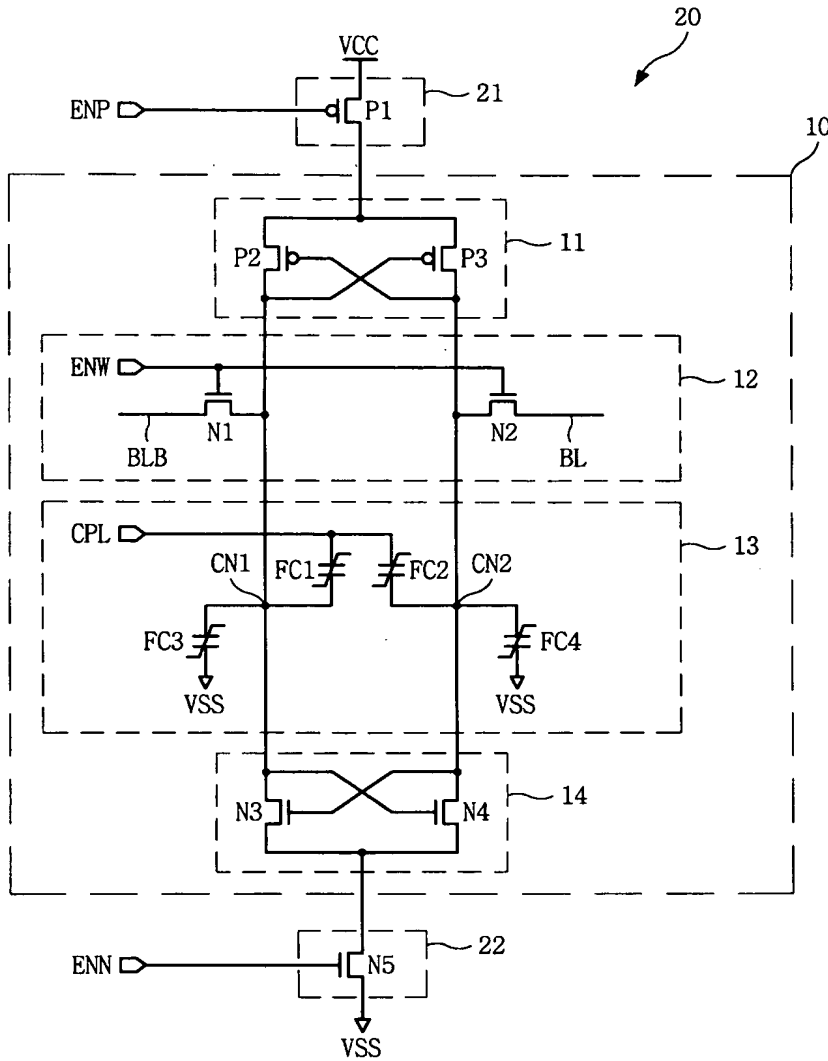
풀다운 인에이블 신호의 인에이블시 접지전압을 풀다운시키는 풀다운 스위치;

상기 셀 양단 노드 사이에 크로스 커플드 구조로 연결되어 상기 풀다운 스위치로부터 인가되는 접지전압을 래치하는 제 2래치부; 및

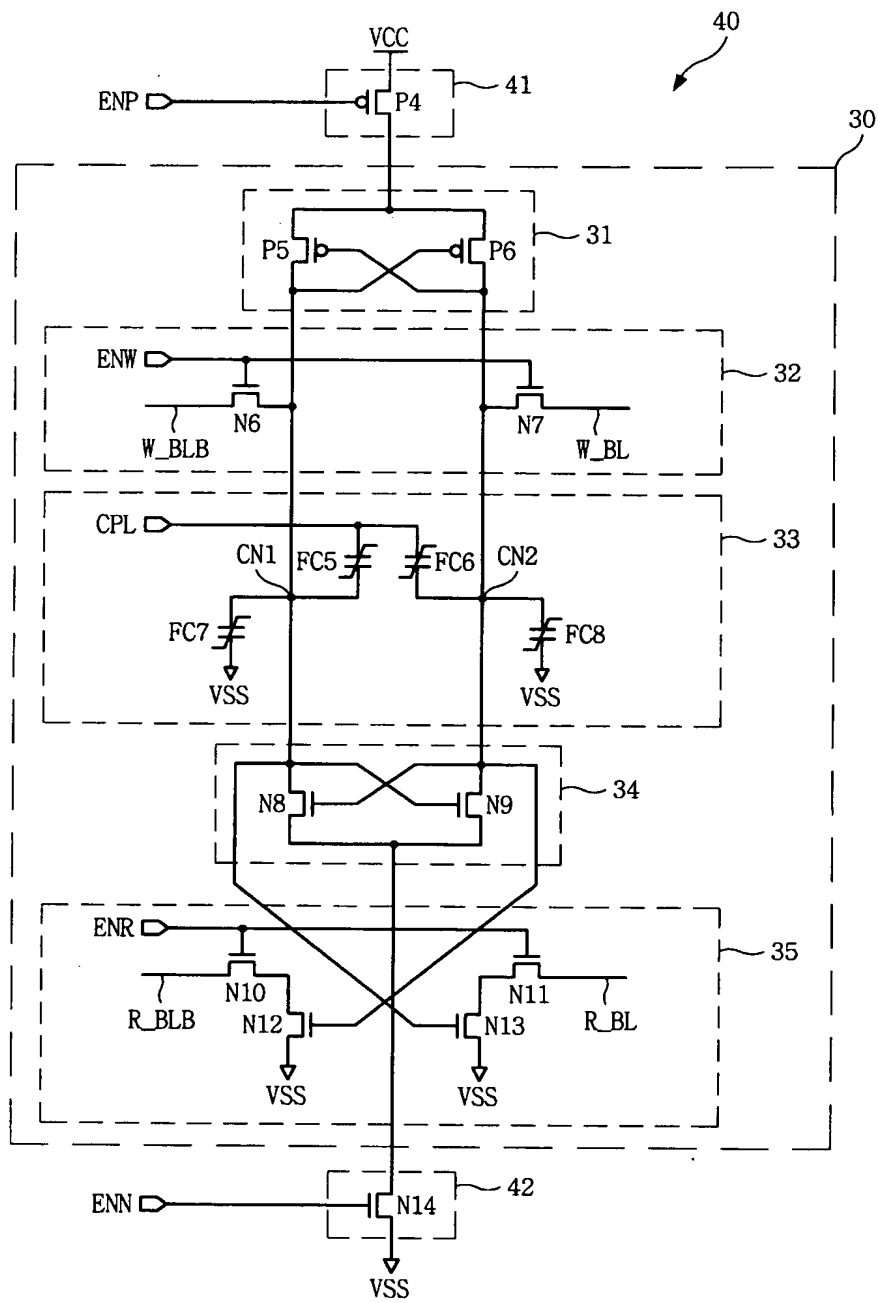
리드 인에이블 신호의 인에이블시 상기 강유전체 캐패시터부에 저장된 데이터를 한쌍의 리드 비트라인에 선택적으로 출력하는 리드 제어부를 구비함을 특징으로 하는 강유전체 메모리 셀을 이용한 메모리 장치.

【도면】

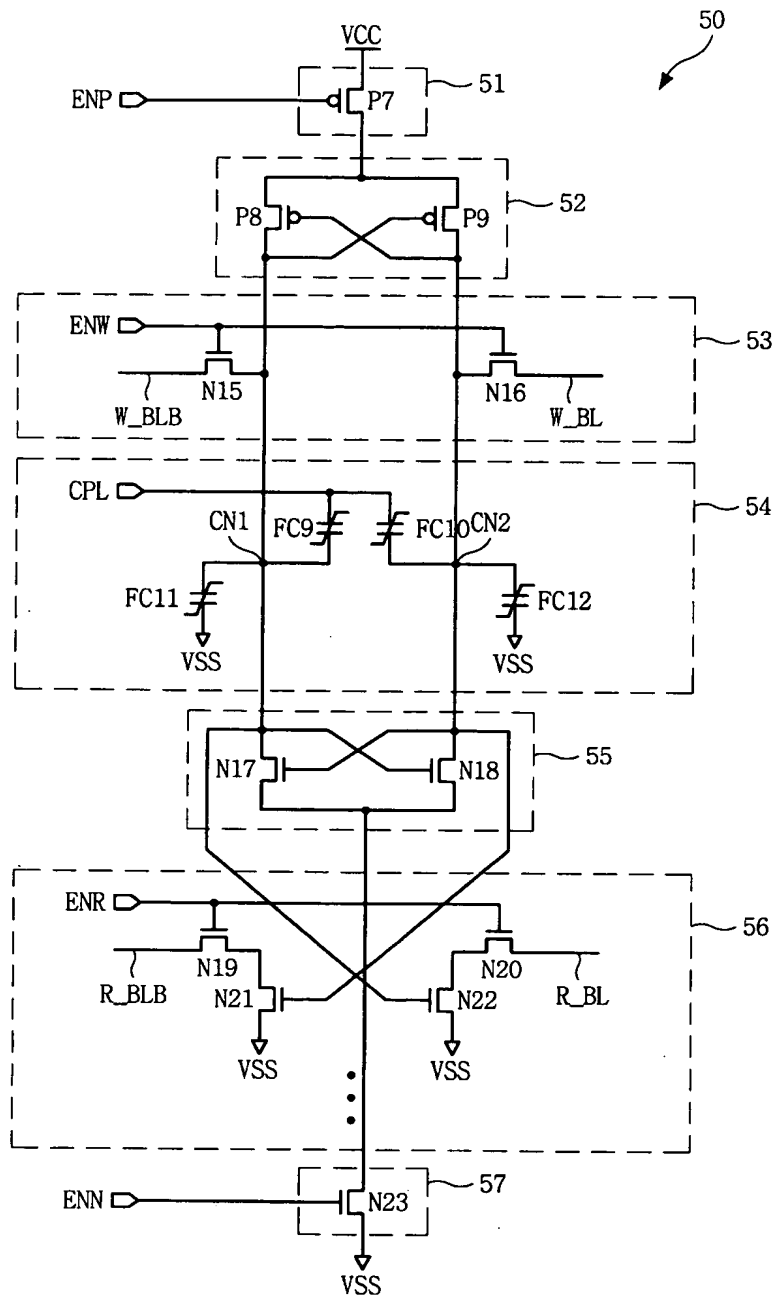
【도 1】



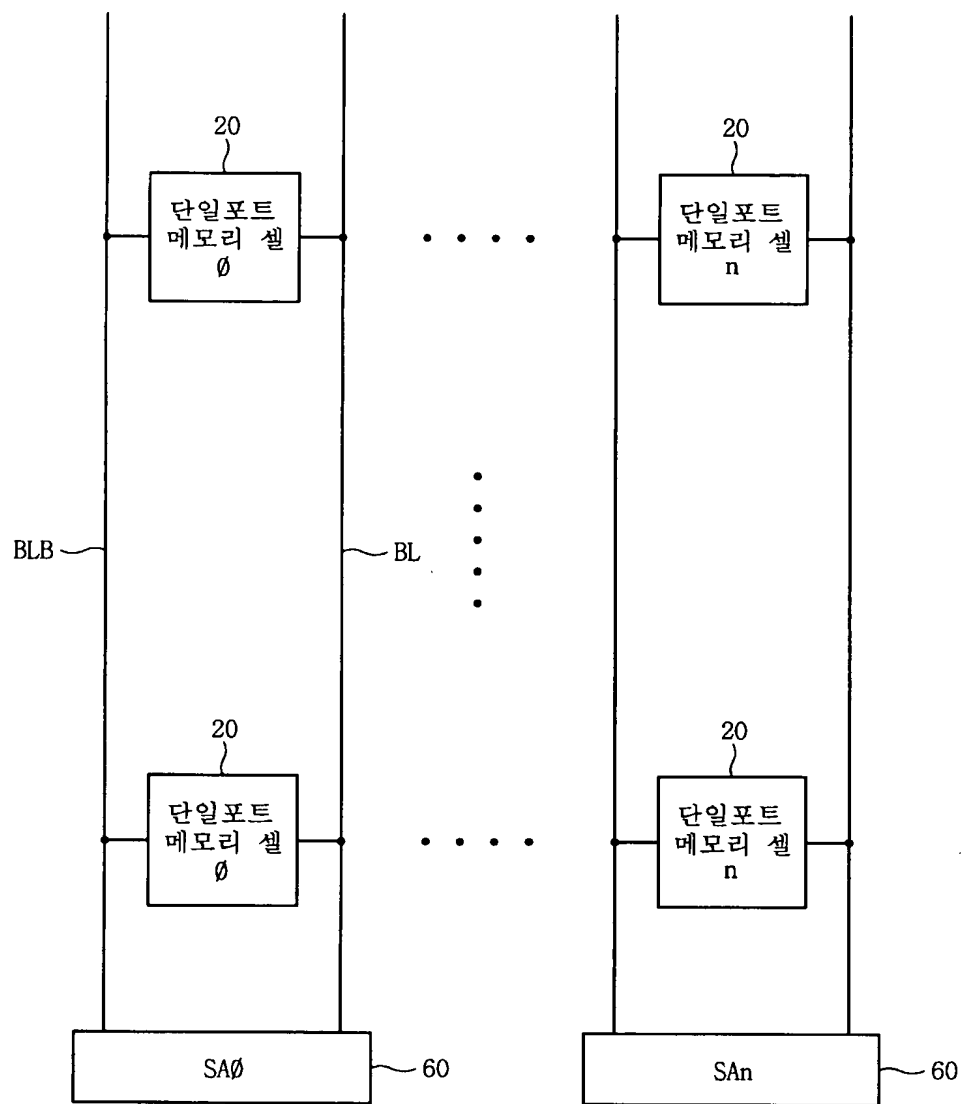
【도 2】



【도 3】

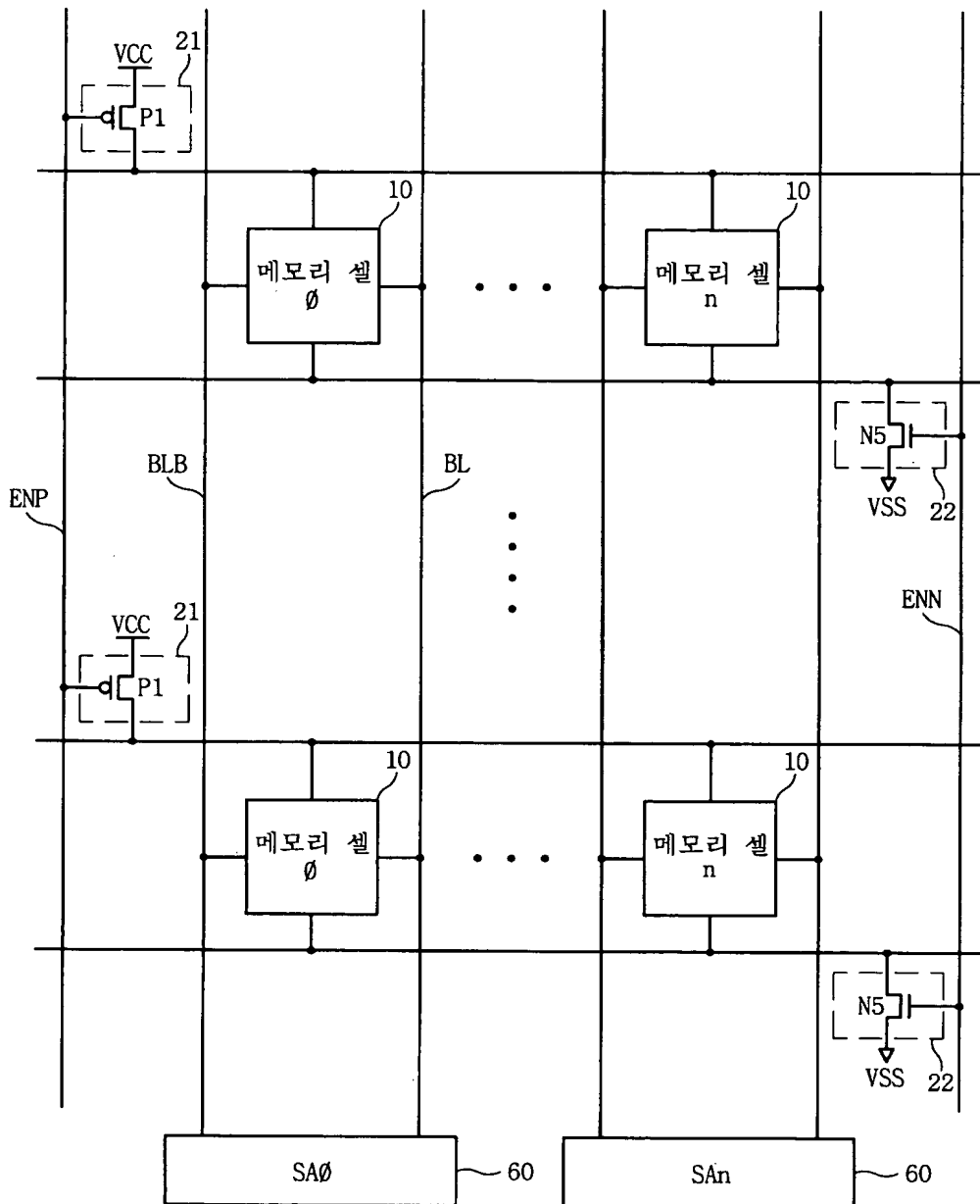


【도 4】

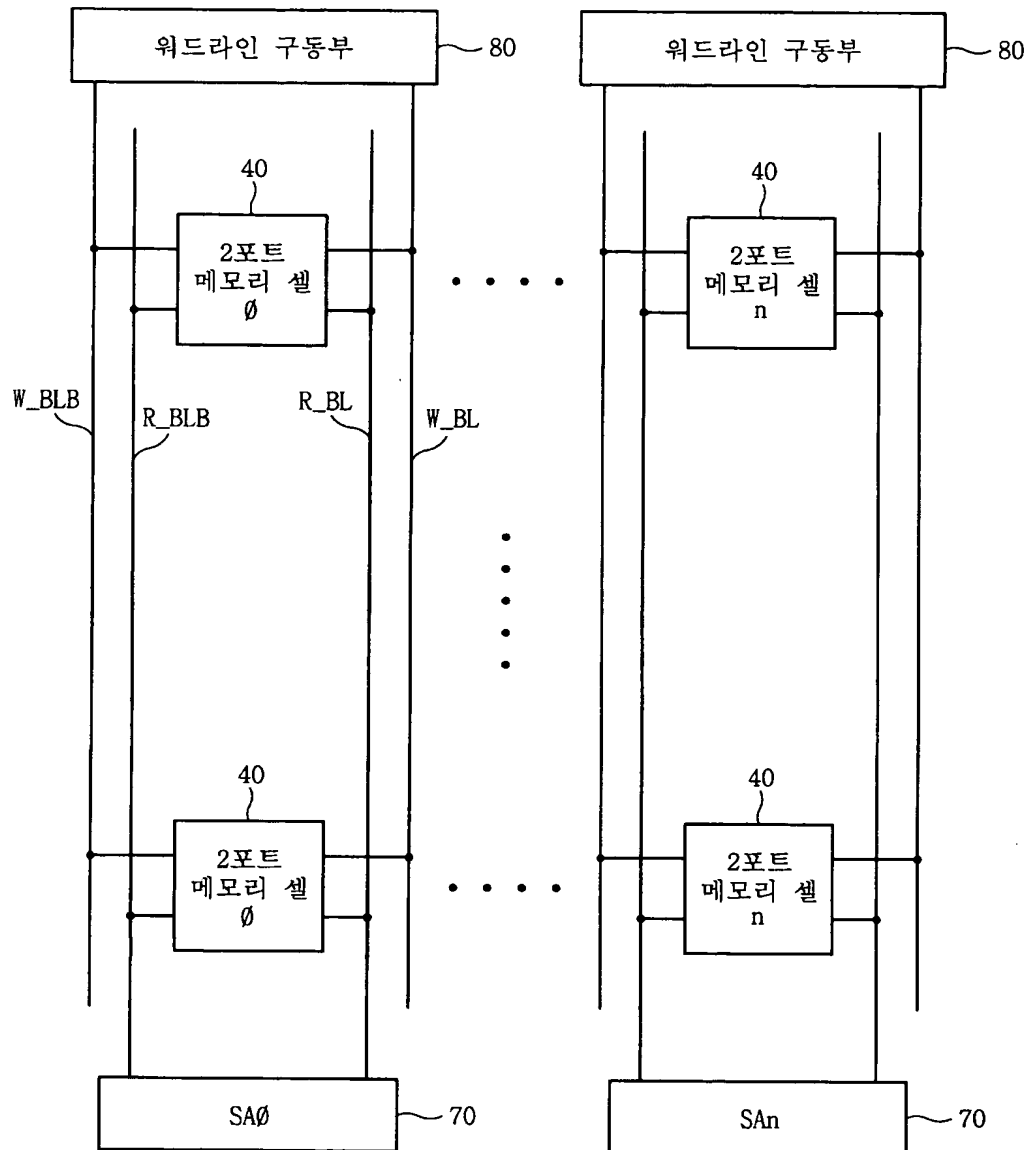




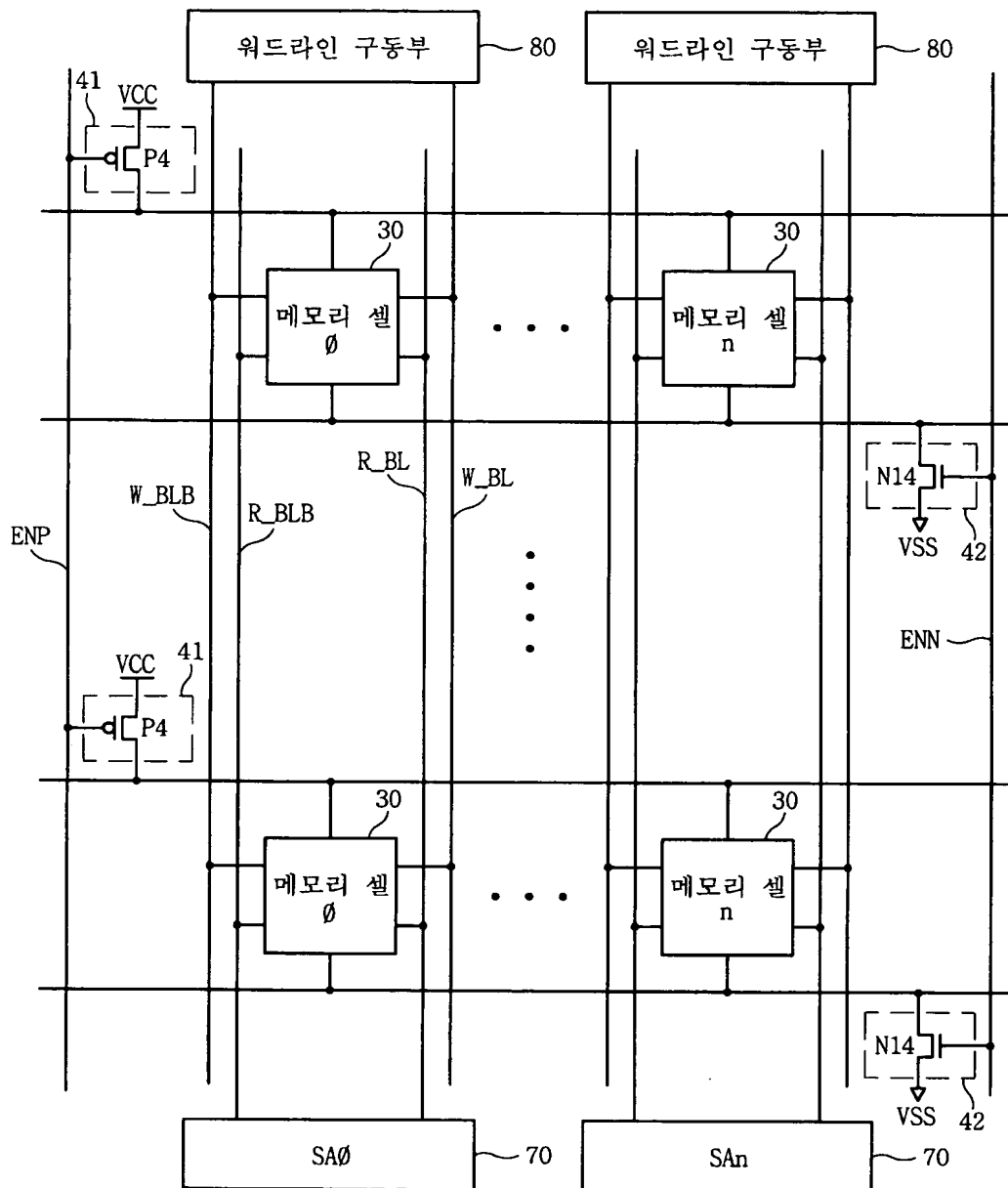
【도 5】



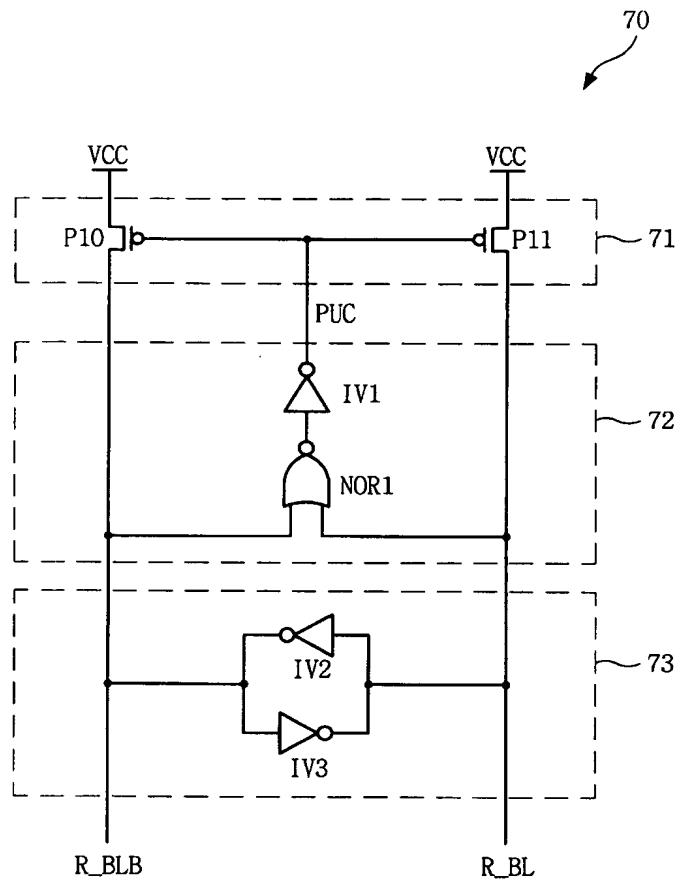
【도 6】



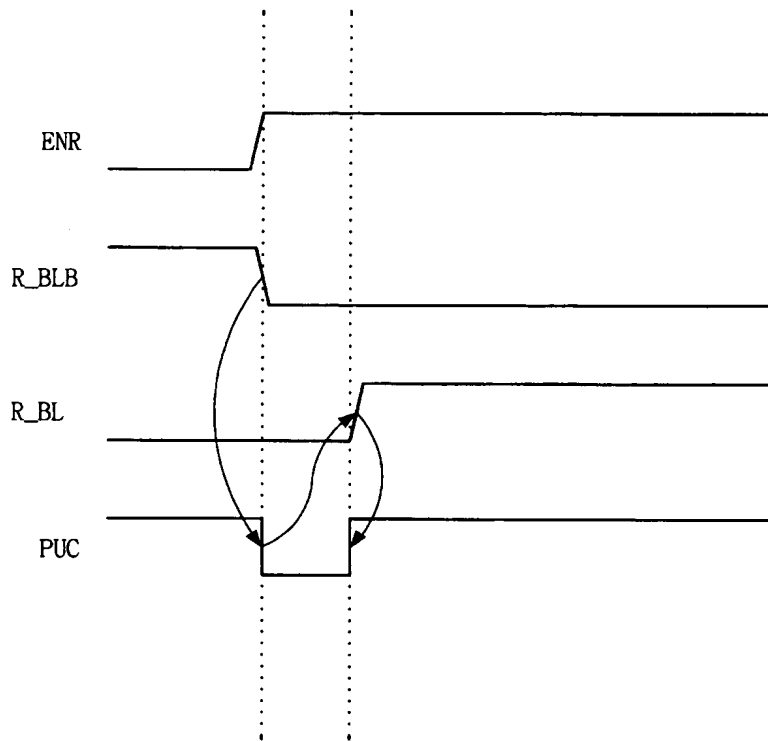
【도 7】



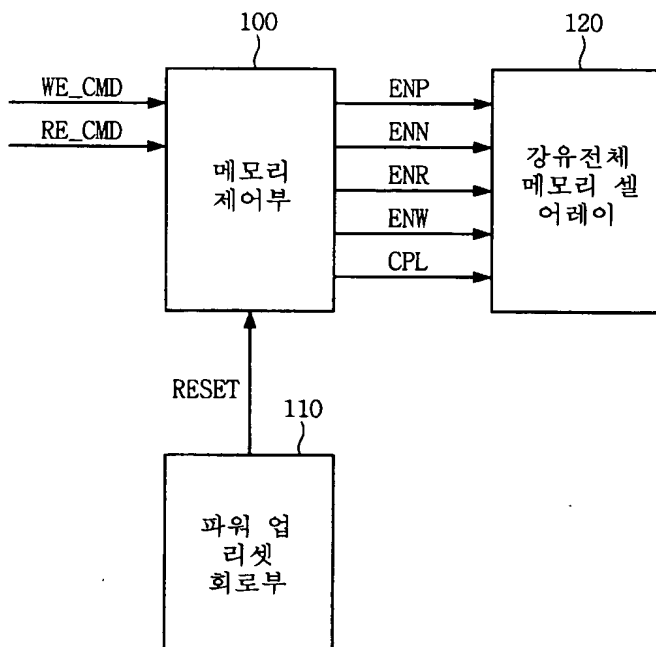
【도 8】



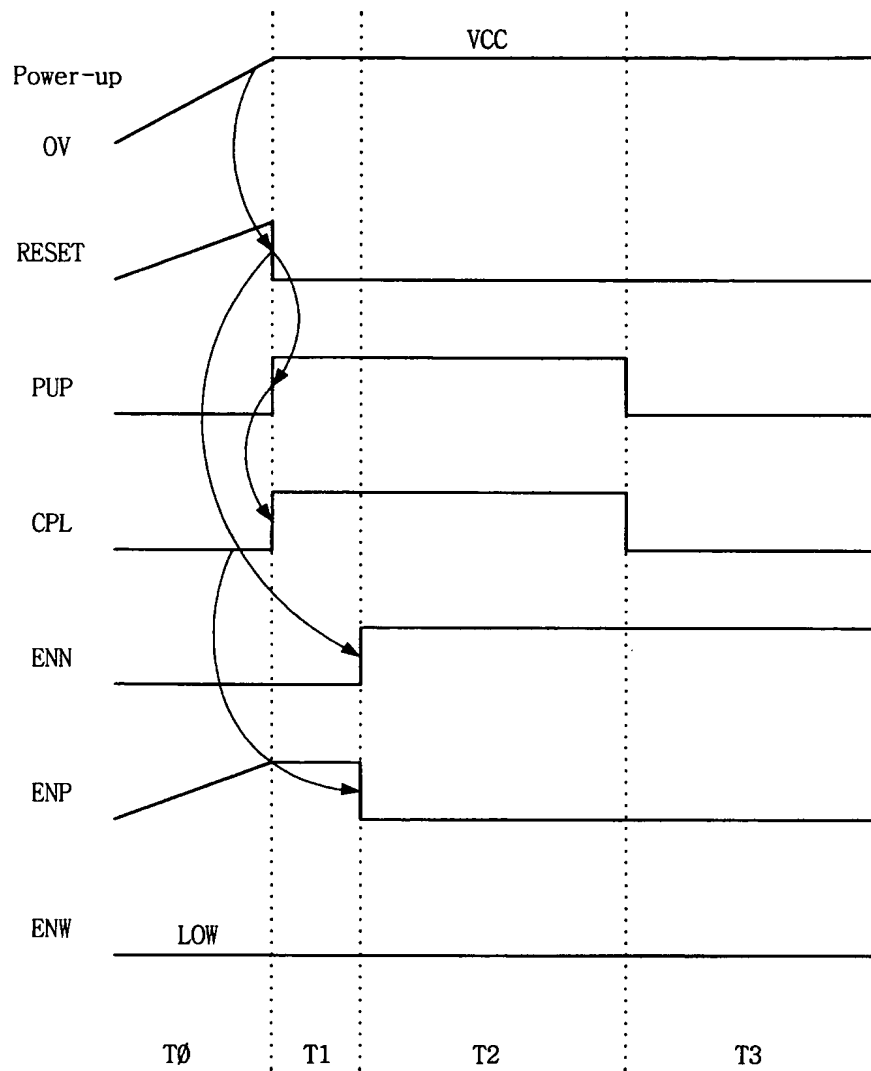
【도 9】



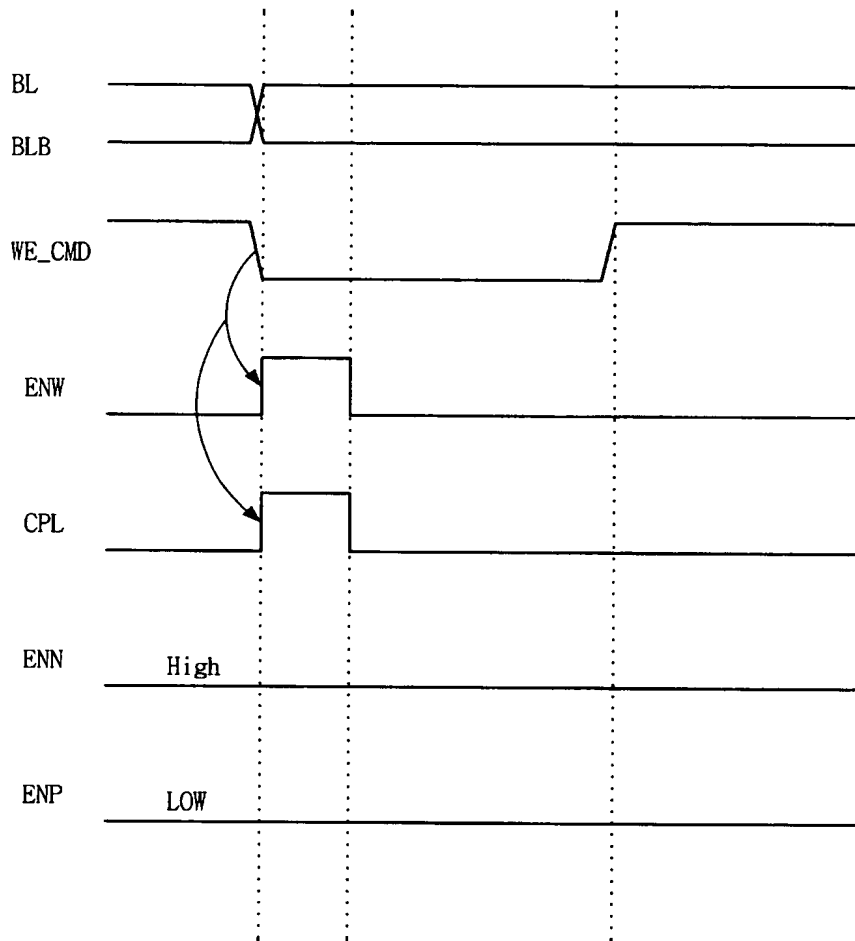
【도 10】



【도 11】



【도 12】



【도 13】

